



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0050246
Application Number PATENT-2002-0050246

출원 년 월 일 : 2002년 08월 23일
Date of Application AUG 23, 2002

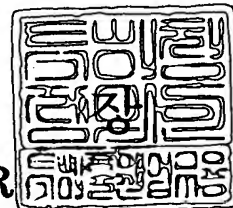
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.23
【발명의 명칭】	스터드형태의 캡핑층을 구비한 반도체 장치의 비트라인 및 그의 형성방법
【발명의 영문명칭】	Bitline of semiconductor device having stud type capping layer and method for fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	정문모
【성명의 영문표기】	JEONG, MUN MO
【주민등록번호】	600401-1005714
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 963 역삼력키아파트 104-709
【국적】	KR
【발명자】	
【성명의 국문표기】	이창헌
【성명의 영문표기】	LEE, CHANG HUHN
【주민등록번호】	730428-1110616
【우편번호】	440-150
【주소】	경기도 수원시 장안구 화서동 249-27번지
【국적】	KR
【발명자】	
【성명의 국문표기】	요시다 마코토
【성명의 영문표기】	YOSHIDA, MAKOTO
【주민등록번호】	650212-1001001

【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 963-2번지 쌍용아파트 544-905
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 34 면 34,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 29 항 1,037,000 원
【합계】 1,100,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 공정마진을 확보함과 동시에 기생캐패시턴스를 감소시킬 수 있는 스퍼드 형태의 캡핑층을 구비한 반도체 장치의 비트라인 구조 및 그의 제조방법에 관한 것이다.

본 발명의 반도체 장치는 반도체 기판상에 형성되고, 비트라인 콘택과 홈 형태의 비트라인패턴을 구비한 절연막과; 상기 비트라인 콘택과 상기 비트라인패턴내의 일부분에 형성되고, 상기 절연막에 의해 둘러싸여진 비트라인과; 상기 절연막보다 돌출되도록 상기 비트라인패턴내의 비트라인과 상기 절연막상에 형성되고, 돌출된 부분이 상기 비트라인의 폭보다 넓은 비트라인 캡핑층을 구비한다.

【대표도】

도 5h

【명세서】**【발명의 명칭】**

스터드형태의 캡핑층을 구비한 반도체 장치의 비트라인 및 그의 형성방법{Bitline of semiconductor device having stud type capping layer and method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래의 COB 구조를 갖는 반도체 장치의 레이아웃도,

도 2a 내지 도 2d는 도 1의 1A-1A' 선에 따른 종래의 반도체 장치의 제조방법을 설명하기 위한 공정단면도,

도 3a 내지 도 3d는 도 1의 1B-1B' 선에 따른 종래의 반도체 장치의 제조방법을 설명하기 위한 공정단면도,

도 4는 도 1의 1C-1C' 선에 따른 종래의 반도체 장치의 단면구조도,

도 5a 내지 도 5i는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 공정단면도,

도 6a 내지 도 6i는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 공정단면도,

도 7a 내지 도 7i는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 공정단면도,

도 8a 내지 도 8d는 본 발명의 다른 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 공정단면도,

도 9a 내지 도 9d는 본 발명의 다른 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 공정단면도,

도 10a 내지 도 10d는 본 발명의 다른 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 공정단면도,

도 11a는 비트라인 캡핑층의 두께와 기생 캐패시턴스와의 관계를 보여주는 도면,

도 11b는 비트라인 스페이서와 기생 캐패시턴스와의 관계를 보여주는 도면.

도면의 주요부분에 대한 부호의 설명

300, 500 : 반도체 기판	305, 505 : 소자분리막
310, 510 : 게이트	360, 560 : 비트라인
320, 340, 370, 520, 550 : 층간 절연막	
330, 350, 590, 530, 580 : 콘택패드	345, 545 : 비트라인 콘택
375, 575 : 스토리지 노드콘택	390, 590 : 스토리지 노드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 반도체 장치의 비트라인구조에 관한 것으로서, 보다 구체적으로는 캡핑층을 스퍼트형태로 형성하여 기생캐패시턴스를 감소시키고 공정마진을 향상시킬 수 있는 반도체 장치의 다마신 비트라인구조 및 그의 형성방법에 관한 것이다.

<20> 반도체 소자의 크기가 축소됨에 따라 데이터 라인인 비트라인의 선평이 감소

하고, 선폭의 감소로 비트라인저항이 증가하게 되었다. 비트라인의 저항증가문제를 해결하기 위하여, 비트라인물질로 텅스텐 실리사이드(WSix)와 같은 금속실리사이드 대신에 텅스텐과 같은 금속막을 사용하게 되었다.

<21> 도 1은 종래의 COB(capacitor over bitline) 구조를 갖는 반도체 장치의 레이아웃도를 도시한 것이다. 도 2a 내지 도 2d는 종래의 반도체 장치의 제조방법을 설명하기 위한 공정단면도를 도시한 것으로서, 도 1의 1A-1A' 선에 따른 단면도를 도시한 것이다. 도 3a 및 도 3d는 종래의 반도체 장치의 도 1의 1B-1B' 선에 따른 단면도를 도시한 것이고, 도 4는 도 1C-1C' 선에 따른 종래의 반도체 장치의 단면 구조를 도시한 것이다.

<22> 도 2a 및 도 3a를 참조하면, 액티브영역(101)과 필드영역을 구비한 반도체 기판(100)이 제공되고, 통상적인 STI(shallow trench isolation) 공정을 통해 반도체 기판(100)의 필드영역에 STI 소자분리막(105)을 형성한다.

<23> 상기 반도체 기판(100)상에 게이트 절연막(111), 게이트 전극물질(113) 및 캡핑층(115)의 적층구조를 갖고, 그의 측벽에 스페이서(117)가 형성된 게이트(110)를 형성한다. 게이트(110)를 포함한 기판전면에 제1층간 절연막(120)을 형성한 다음, 액티브영역(101)을 노출시키는 콘택(125), 예를 들어 셀프얼라인 콘택(self-aligned contact, SAC)콘택을 형성하고, 상기 콘택(125)에 폴리실리콘막 등으로 된 콘택패드(130)를 형성한다. 이때, 도면상에는 도시되지 않았으나, 콘택패드(130)는 상기 액티브영역(101)에 형성된 소정 도전형을 갖는 불순물영역과 전기적으로 연결되어진다.

<24> 이어서, 제1층간 절연막(120)상에 제2층간 절연막(140)을 증착한 다음, 상기 콘택패드(130)중 해당하는 콘택패드, 즉 후속공정에서 형성될 비트라인과 연결될 콘택패드(130)를 노출시키는 비트라인 콘택(145)을 형성한다.

- <25> 상기 비트라인 콘택(145)을 포함한 기판전면에 콘택패드용 금속막, 예를 들어 텅스텐막을 증착한 다음 화학기계적 연마방법(CMP) 또는 에치백공정 등을 이용하여 상기 텅스텐막을 식각하여 상기 비트라인콘택(145)에 비트라인용 콘택패드(150)를 형성한다.
- <26> 도 2b 및 도 3b를 참조하면, 제2층간 절연막(140)상에 텅스텐막과 같은 비트라인용 도전물질(161)과 질화막과 같은 비트라인 캡핑층(165)을 순차 적층한 다음 패터닝하여 비트라인용 도전물질(161)과 캡핑층(165)의 적층구조를 갖는 비트라인(160)을 형성한다. 상기 비트라인(160)은 비트라인콘택(145)에 형성된 비트라인용 콘택패드(150)와 전기적으로 연결되어진다. 상기 비트라인(160)을 포함한 제2층간 절연막(140)상에 비트라인 스페이서용 절연막으로 질화막을 증착한 다음 상기 질화막을 식각하여 비트라인 스페이서(170)를 형성한다.
- <27> 도 2c 및 도 3c를 참조하면, 상기 비트라인(160)을 포함한 제2층간 절연막(140)상에 제3층간 절연막(180)을 형성한다. 상기 제2 및 제3층간 절연막(140), (180)을 식각하여 상기 콘택패드(130)중 해당하는 콘택패드, 즉 후속공정에서 형성되는 스토리지 노드와 연결되어지는 콘택패드(130)를 노출시키는 스토리지 노드용 콘택(185)을 형성한다.
- <28> 상기 스토리지 노드용 콘택(185)이 채워지도록 폴리실리콘막을 제3층간 절연막(180)상에 증착한 다음 CMP 방법 등을 이용하여 노드를 분리시켜 스토리지 노드용 콘택패드(190)를 형성한다. 상기 스토리지노드용 콘택패드(190)는 상기 스토리지 노드콘택(185)를 통해 상기 콘택패드(130)와 전기적으로 연결된다. 이어서, 상기 스토리지 노드용 콘택패드(190)에 연결되는 캐패시터의 스토리지 노드(200)를 형성한다.

- <29> 종래의 방법은 텅스텐막과 같은 금속막을 사진식각공정을 통해 식각하여 비트라인을 형성하므로, 공정이 복잡할 뿐만 아니라 고집적화에 따라 라인/스페이서가 작은 메탈 패턴을 식각하는 데 한계가 발생하는 문제점이 있었다.
- <30> 또한, 비트라인을 형성하기 위한 금속막의 패터닝시 파티클 및 폴리머에 대한 세정력이 우수한 SC1(standard cleaning 1) 등과 같은 OH 기를 포함하는 세정액을 사용할 수 없기 때문에 세정공정시 파티클을 완전히 제거할 수 없으며, 이러한 파티클에 의해 결함이 유발되는 문제점이 있었다.
- <31> 상기한 바와같은 종래기술의 문제점을 해결하기 위하여, 다마신공정을 통해 비트라인을 형성하는 방법이 제안되었다. COB 구조를 갖는 반도체 장치의 비트라인을 다마신공정을 이용하여 형성하는 경우, 후속의 스토리지 노드콘택 형성공정에서 비트라인을 보호하기 위하여 층간 절연막인 산화막과의 식각선택성을 갖는 물질, 예를 들면 질화막으로 된 캡핑층과 스페이서를 비트라인의 상부 및 측벽에 형성하여 비트라인을 감싸주어야 한다.
- <32> 다마신 비트라인을 캡핑층과 스페이서에 의해 완전히 둘러싸이도록 형성하여 비트라인을 보호하는 기술이 국내특허 공개공보 2001-55685에 제시되었다. 상기 기술은 질화막으로 된 스페이서에 의해 비트라인이 완전히 둘러싸이도록 비트라인을 형성하여 줌으로써, 스토리지 노드콘택 공정시 비트라인을 보호하여 공정마진을 확보할 수는 있었다. 그러나, 상기 기술은 인접한 비트라인사이에 산화막보다 유전율이 높은 질화막이 존재하게 되어 기생캐패시턴스를 증가시키는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<33> 본 발명의 목적은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 스테드형태의 비트라인 캡핑층을 형성하여 스토리지 노드콘택형성시 공정마진을 향상시킬 수 있는 반도체 장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

<34> 본 발명의 다른 목적은 산화막으로 비트라인을 둘러싸도록 하여 비트라인과 비트라인사이 그리고 비트라인과 스토리지 노드콘택사이의 기생캐패시턴스를 감소시킬 수 있는 반도체 장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<35> 이와 같은 목적을 달성하기 위한 본 발명은 반도체 기판상에 형성되고, 비트라인 콘택과 홈 형태의 비트라인패턴을 구비한 절연막과; 상기 비트라인 콘택과 상기 비트라인패턴내의 일부분에 형성되고, 상기 절연막에 의해 둘러싸여진 비트라인과; 상기 절연막보다 돌출되도록 상기 비트라인패턴내의 비트라인과 상기 절연막상에 형성되고, 돌출된 부분이 상기 비트라인의 폭보다 넓은 비트라인 캡핑층을 구비하는 반도체 장치를 제공하는 것을 특징으로 한다.

<36> 상기 비트라인 캡핑층은 상기 비트라인패턴내의 상기 비트라인상에 상기 절연막보다 돌출되도록 형성된 기둥형태의 제1캡핑물질과; 상기 절연막상의 상기 제1캡핑물질의 돌출된 부분에 측벽 스페이서형태로 형성되는 제2캡핑물질로 이루어지고, 제1캡핑물질의 돌출된 부분은 상기 제1캡핑물질의 1/2정도의 두께만큼 돌출되는 것이 바람직하다.

<37> 또한, 본 발명은 반도체 기판상에 절연막을 형성하는 단계와; 상기 절연막을 식각하여 비트라인콘택과 홈형태의 비트라인패턴을 형성하는 단계와; 상기 비트라인콘택과

상기 비트라인패턴내의 일부분에 형성된 비트라인을 형성하는 단계와; 상기 절연막보다 돌출되고, 돌출된 부분이 상기 비트라인의 폭보다 넓은 비트라인 캡핑층을 상기 비트라인패턴내의 비트라인과 상기 절연막상에 형성하는 단계를 구비하는 반도체 장치의 제조 방법을 제공하는 것을 특징으로 한다.

<38> 또한, 본 발명은 반도체 기판상에 형성되고, 상기 반도체 기판을 노출시키는 다수의 콘택을 구비한 제1절연막과; 각 콘택에 형성된 비트라인용 콘택패드 및 스토리지 노드용 콘택패드와; 상기 제1절연막상에 형성되고, 비트라인용 콘택패드를 노출시키는 비트라인 콘택과 홈 형태의 비트라인패턴을 구비한 제2절연막과; 상기 비트라인콘택과 상기 비트라인패턴의 일부분에 형성되고, 상기 제2절연막에 의해 둘러싸여지는 비트라인과; 상기 제2절연막보다 돌출되도록 상기 비트라인패턴과 제2절연막상에 형성되고, 돌출된 부분이 비트라인패턴의 폭보다 넓은 비트라인 캡핑층과; 기판전면에 형성된 제3층간 절연막과; 상기 스토리지노드용 콘택패드를 노출시키도록 상기 제2 및 제3절연막에 형성된 스토리지노드콘택을 구비하는 반도체 장치를 제공하는 것을 특징으로 한다.

<39> 또한, 본 발명은 반도체 기판상에 비트라인용 콘택패드와 스토리지 노드용 콘택패드를 구비하는 제1절연막을 형성하는 단계와; 기판전면에 제2절연막을 형성하는 단계와; 상기 제2절연막을 식각하여 상기 비트라인용 콘택패드를 노출시키는 비트라인콘택과 홈 형태의 비트라인패턴을 형성하는 단계와; 상기 비트라인콘택을 통해 상기 비트라인용 콘택패드와 연결되도록 상기 비트라인패턴내의 일부분에 비트라인을 형성하는 단계와; 상기 제2절연막보다 돌출되고, 돌출된 부분이 상기 비트라인패턴의 폭보다 넓은 비트라인 캡핑층을 상기 비트라인패턴내의 비트라인과 상기 절연막상에 형성하는 단계와; 기판전면에 제3절연막을 형성하는 단계와; 상기 스토리지노드용 콘택패드가 노출되도록 상기

제2 및 제3절연막을 식각하여 스토리지 노드콘택을 형성하는 단계를 포함하는 반도체 장치의 제조방법을 제공하는 것을 특징으로 한다.

<40> 또한, 본 발명은 반도체 기판상에 비트라인용 콘택패드와 스토리지 노드용 콘택패드를 구비한 제1절연막을 형성하는 단계와; 기판전면에 제2절연막, 식각정지막 및 제3절연막을 순차 형성하는 단계와; 상기 제2 및 제3절연막과 식각정지막을 식각하여 상기 비트라인용 콘택패드를 노출시키는 비트라인콘택과 홈형태의 비트라인패턴을 형성하는 단계와; 상기 비트라인콘택을 통해 상기 비트라인용 콘택패드와 연결되도록 상기 비트라인패턴의 일부분에 비트라인을 형성하는 단계와; 상기 비트라인패턴내의 비트라인상에 제1캡핑물질을 채워주는 단계와; 상기 제1캡핑물질이 돌출되도록 상기 식각정지막을 이용하여 제3절연막을 식각하는 단계와; 기판전면에 제2캡핑물질을 증착하는 단계와; 상기 제2캡핑물질과 식각정지막을 식각하여 상기 제1캡핑물질의 돌출된 부분에만 남겨두는 단계와; 기판전면에 제4절연막을 형성하는 단계와; 상기 제3 및 제4절연막을 식각하여 상기 스토리지 노드용 콘택패드를 노출시키는 스토리지 노드콘택을 형성하는 단계를 포함하는 반도체장치의 제조방법을 제공하는 것을 특징으로 한다.

<41> 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예를 첨부도면을 참조하면서 보다 상세하게 설명하고자 한다.

<42> 도 5a 내지 도 5i는 본 발명의 일 실시예에 따른 COB 구조를 갖는 반도체 장치의 제조방법을 설명하기 위한 공정단면도로서, 도 1의 1A-1A' 선에 대응하는 단면도를 도시한 것이다. 도 6a 내지 도 6i는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 공정단면도를 도시한 것으로서, 도 1의 1B-1B' 선에 대응하는 단면도이다

. 도 7a 내지 도 7i는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 공정단면도를 도시한 것으로서, 도 1의 1C-1C' 선에 대응하는 단면도이다.

<43> 도 5a, 도 6a 및 도 7a를 참조하면, 액티브영역(301)과 필드영역을 구비한 반도체 기판(300)이 제공되고, 통상적인 STI(shallow trench isolation) 공정을 통해 반도체 기판(300)의 필드영역에 STI 소자분리막(305)을 형성한다.

<44> 상기 게이트(310)를 포함한 기판전면에 제1층간 절연막(320)을 증착한 다음 상기 게이트(310)사이의 액티브영역(301)을 노출시키는 콘택(325), 예를 들어 SAC 콘택을 형성하고, 상기 콘택(325)에 폴리실리콘막과 같은 도전성 물질로 이루어진 콘택패드(330)를 형성한다. 이때, 도면상에는 도시되지 않았으나, 콘택패드(330)는 상기 액티브영역(301)에 형성된 소정 도전형을 갖는 불순물영역과 콘택(325)을 통해 전기적으로 연결되어진다.

<45> 이어서, 제1층간 절연막(320)상에 제2층간 절연막(340)증착한 다음, CMP 또는 에치백공정을 수행하여 평탄화시킨다. 이때, 제2층간 절연막(340)은 예를 들어 고밀도플라즈마(HDP, high density plasma) 산화막, BPSG막 등과 같은 산화막계열의 절연막을 4500 내지 5000Å의 두께로 증착한다.

<46> 도 5b, 도 6b 및 도 7b를 참조하면, 듀얼 다마신공정을 통해 제2층간 절연막(340)을 식각하여 비트라인콘택(345)과 비트라인패턴(355)을 형성한다. 이때, 상기 비트라인콘택(345)은 상기 콘택패드(330)중 해당하는 콘택패드, 즉 후속공정에서 형성될 비트라인과 연결되는 콘택패드가 노출되도록 형성되고, 상기 비트라인패턴(355)은 상기 게이트(310)와 교차하도록 형성되며, 홈형태를 갖는다.

- <47> 상기 듀얼 다마신공정을 통해 상기 제2절연막(340)을 식각하여 비트라인콘택(345)과 비트라인패턴(355)을 형성할 때, 상기 비트라인콘택(345)을 형성한 다음 비트라인패턴(355)을 형성할 수도 있으며, 상기 비트라인패턴(355)을 형성한 다음 비트라인콘택(345)을 형성할 수도 있다. 이때, 상기 비트라인콘택(345)은 상기 콘택패드(330)를 식각 정지막으로 하여 제2층간 절연막(340)을 식각하여 형성된다.
- <48> 도 5c, 도 6c 및 도 7c를 참조하면, 상기 비트라인콘택(345) 및 상기 비트라인패턴(355)을 포함한 제2층간 절연막(340)상에 비트라인용 도전물질(361), 예를 들어 텅스텐막을 증착한다. 도 5d, 도 6d 및 도 7d를 참조하면, 상기 비트라인용 도전물질(361)을 오버에칭하여 비트라인콘택(345)을 포함한 비트라인패턴(355)의 일부분에만 남겨둔다. 이때, 상기 비트라인패턴(355)은 2500 Å의 깊이를 갖도록 형성되고, 상기 비트라인패턴(355)내에 남아있는 상기 비트라인용 도전물질(362)은 500 Å의 두께를 갖는 것이 바람직하다. 상기 비트라인용 도전물질(361)은 CMP 또는 에치백(360)공정을 이용하여 식각하거나 또는 CMP공정과 에치백공정을 모두 이용하여 식각할 수 있다.
- <49> 본 발명의 실시예에서는 비트라인콘택(345)에 별도의 공정을 통하여 콘택플러그를 형성한 다음 비트라인패턴(355)에 비트라인용 도전물질을 채워주는 것이 아니라, 비트라인패턴(355)에 비트라인용 도전물질을 채워줄 때 비트라인콘택(345)도 함께 채워준다.
- <50> 도 5e, 도 6e 및 도 7e를 참조하면, 상기 비트라인패턴(355)을 포함한 제2층간 절연막(340)상에 비트라인용 제1캐핑물질(365)을 증착한 다음 CMP 또는 에치백하여 상기 비트라인패턴(355)내의 비트라인 도전물질(362)상에 제1캐핑물질(365)을 채워 준다.
- <51> 도 5f, 도 6f 및 도 7f를 참조하면, 상기 질화막(365)이 일정두께만큼 돌출되도록 상기 제2층간 절연막(340)을 건식 또는 습식식각한 다음, 기판 전면에서 비트라인용 제2캐

핑물질(366)을 증착한다. 이때, 상기 제2층간 절연막(340)은 비트라인패턴(355)내의 비트라인·도전물질(362)상에 형성된 질화막(365)의 1/2 두께만큼 식각하는 것이 바람직하다.

<52> 그러므로, 상기 비트라인패턴(255)의 깊이가 2500Å이고, 비트라인용 도전물질(362)의 두께가 500Å이라면, 상기 제2층간 절연막(340)은 1000Å의 두께만큼 식각하는 것이 바람직하다. 상기 제1캐핑물질(365)과 제2캐핑물질(366)은 산화막계열의 상기 제2층간 절연막(340)과 습식 및 건식식각선택비를 갖는 물질로서, 질화막 등이 사용된다.

<53> 도 5g, 도 6g 및 도 7g를 참조하면, 상기 질화막(366)을 에치백하여 상기 질화막(365)의 돌출된 부분의 측벽에만 스페이서(367)형태로 남도록 한다. 이로써, 비트라인용 도전물질(362)상에 형성된 기둥형태의 제1캐핑물질(365)과 상기 제1캐핑물질(365)의 측벽에 형성된 스페이서형태의 제2캐핑물질(367)으로 이루어진 비트라인용 캡핑층(369)이 형성된다.

<54> 이때, 비트라인용 캡핑층(369)중 제2절연막(340)에 의해 둘러싸여진 부분은 비트라인패턴의 폭과 동일하고 돌출된 부분은 상기 비트라인패턴(355)의 폭보다 커지게 된다. 그러므로, 상기 비트라인패턴(355)내에 형성된 도전물질(362)과 상기 도전물질(362) 및 제2층간 절연막(340)상에 형성된 스퍼트형태의 캡핑층(369)을 구비한 비트라인(360)이 형성되어진다.

<55> 상기 캡핑층(369)중 스페이서형태의 제2캐핑물질(367)은 상기 기둥형태의 제1캐핑물질(365)의 측벽 일부분만을 둘러싸도록 형성되므로, 비트라인용 도전물질(362)은 산화막계열의 제2층간 절연막(340)에 의해 둘러싸여진다.

- <56> 이때, 상기 제2캐핑물질(365)은 제1캐핑물질(362)의 1/2정도의 두께만을 둘러싸도록 형성되는데, 이는 후속의 스토리지 노드콘택 형성시 공정마진을 확보하고 절연특성을 유지함과 동시에 비트라인(360)과 비트라인(360)사이 그리고 비트라인(360)과 후속공정에서 형성될 스토리지 노드콘택간의 기생 캐패시턴스를 줄여주기 위함이다.
- <57> 도 5h, 도 6h 및 도 7h를 참조하면, 기판전면에 산화막계열의 제3층간 절연막(370)을 증착하고, 상기 제2 및 제3층간 절연막(340), (370)을 식각하여 상기 콘택패드(330) 중 해당하는 콘택패드, 즉 후속공정에서 형성될 스토리지 노드가 연결되는 콘택패드를 노출시키는 스토리지 노드콘택(375)을 형성한다. 상기 제2 및 제3층간 절연막(340), (370)은 상기 비트라인 캐핑층(369)의 스페이서(367)가 식각정지층으로 작용하여 셀프얼라인식각되므로, 스토리지노드콘택(375)은 셀프얼라인 콘택으로 형성된다.
- <58> 도 5i, 도 6i 및 도 7i를 참조하면, 상기 스토리지 노드콘택(375)을 포함한 제3층간 절연막(370)상에 폴리실리콘막과 같은 도전성 물질을 증착한 다음 CMP 또는 에치백공정을 통해 평탄화시켜 스토리지 노드용 콘택플러그(380)를 형성한다. 이어서, 상기 스토리지 노드용 콘택플러그(380)와 전기적으로 연결되는 캐패시터의 스토리지 노드(390)를 형성한다.
- <59> 상기한 바와같은 본 발명의 일실시예에 따른 반도체 장치의 제조방법은 비트라인 캐핑층을 스텝드형태로 형성하여 줌으로써, 상기 스토리지 노드콘택을 형성하기 위한 식각공정시, 상기 캐핑층이 식각정지층으로 작용하여 상기 스토리지 노드콘택(375)은 셀프얼라인식각되며, 식각공정마진을 충분히 확보할 수 있다. 또한, 비트라인(360)과 비트라인(360)사이 그리고 비트라인(360)과 스토리지 노드용 콘택플러그(380)사이에 질화막보

다 유전율이 낮은 산화막계열의 제2 및 제3층간 절연막(340), (370)이 존재하므로 이들 간의 기생 캐패시턴스를 감소시켜 준다.

<60> 도 11a는 비트라인 캡핑층의 두께와 기생 캐패시턴스와의 관계를 보여주는 도면으로서, 질화막으로 된 비트라인 캡핑층의 두께에 따른 기생 캐패시턴스의 감소 임계치는 1000Å 임을 알 수 있다. 도 11b는 비트라인 스페이서와 기생 캐패시턴스와의 관계를 보여주는 도면으로서, A는 비트라인 스페이서가 모두 산화막으로 이루어지는 경우의 기생 캐패시턴스의 분포를 나타낸 것이고, C는 비트라인 스페이서가 모두 질화막으로 이루어지는 경우를 나타낸 것이며, B는 비트라인 스페이서가 부분적으로 산화막으로 이루어지는 경우 즉, 비트라인과 비트라인사이에서는 산화막이 존재하고 비트라인과 스토리지 노드콘택간에는 질화막이 존재하는 경우의 기생 캐패시턴스의 분포를 나타낸 것이다. 도 11b를 참조하면, 비트라인 스페이서가 모두 질화막으로 이루어지는 경우(C) 보다 모두 산화막으로 이루어지는 경우(A) 또는 부분적으로 질화막과 산화막으로 이루어지는 경우(B)에 기생 캐패시턴스가 각각 30%, 40% 정도 감소됨을 알 수 있다.

<61> 도 11a 및 도 11b로부터, 본 발명에서는 스퍼트형태의 비트라인 캡핑층을 형성하여 줌으로써, 절연특성을 유지하면서 기생캐패시턴스를 최소화할 수 있을 뿐만 아니라 스토리지 노드콘택을 형성하기 위한 공정마진을 향상시킬 수 있다.

<62> 도 8a 내지 도 8d, 도 9a 내지 도 9d, 그리고 도 10a 내지 도 10d는 본 발명의 다른 실시예에 따른 공정단면도를 도시한 것으로서, 도 8a 내지 도 8d는 도 1의 1A-1A'선에 대응하는 공정단면도이고, 도 9a 내지 도 9d는 도 1의 1B-1B'선에 대응하는 공정단면도이며, 도 10a 내지 도 10d는 도 1의 1C-1C'선에 대응하는 공정단면도이다.

- <63> 본 발명의 다른 실시예에 따른 반도체 장치의 제조방법은 제1실시예에서의 공정과 동일하고, 다만 캡핑용 스페이서형성을 위한 식각공정에서 식각안정성을 확보하기 위하여 제2층간절연막을 상, 하부산화막과 이들사이에 식각정지용 질화막이 샌드위치된 적층 구조로 형성하는 것만이 다르다.
- <64> 도 8a, 도 9a 및 도 10a를 참조하면, 액티브영역(501)과 필드영역을 구비한 반도체 기판(500)이 제공되고, 통상적인 STI(shallow trench isolation) 공정을 통해 반도체 기판(500)의 필드영역에 STI 소자분리막(505)을 형성한다.
- <65> 상기 반도체 기판(500)상에 게이트 절연막(511), 게이트 전극물질(513) 및 캡핑층(515)의 적층구조를 갖는 게이트(510)를 형성하고, 상기 게이트(510)의 측벽에 게이트 스페이서(517)를 형성한다.
- <66> 상기 게이트(510)를 포함한 기판전면에 제1층간 절연막(520)을 증착한 다음 상기 게이트(510)사이의 액티브영역(501)을 노출시키는 콘택(525)을 형성하고, 상기 콘택(525)에 폴리실리콘막으로 된 콘택패드(530)를 형성한다. 이때, 도면상에는 도시되지 않았으나, 콘택패드(530)는 상기 액티브영역(501)에 형성된 소정 도전형을 갖는 불순물 영역과 콘택(525)을 통해 연결되어진다.
- <67> 이어서, 제1층간 절연막(520)상에 제2층간 절연막(550)을 증착하는데, 하부 산화막(551), 질화막(552) 및 상부 산화막(553)의 적층구조로 형성한다. 상기 상부 산화막(553)은 후속의 캡핑용 스페이서형성시 제거되는 막이며, 상기 질화막(552)은 상기 상부 산화막(553)의 식각시 식각정지막으로 작용한다.

- <68> 도 8b, 도 9b 및 도 10b를 참조하면, 듀얼다마신공정을 통해 상기 제2층간 절연막(550)을 식각하여 비트라인콘택(545)과 비트라인패턴(555)을 형성한다. 이때, 상기 제2층간 절연막(550)의 식각시 상, 하부산화막(551), (553)과 질화막(552)간의 식각선택비가 없는 조건으로 식각한다.
- <69> 상기 듀얼 다마신공정을 통해 비트라인콘택(545)과 비트라인패턴(555)을 형성할 때, 상기 비트라인콘택(545)을 형성한 다음 비트라인패턴(555)을 형성할 수도 있으며, 상기 비트라인패턴(555)을 형성한 다음 비트라인콘택(545)을 형성할 수도 있다. 이때, 상기 비트라인콘택(545) 형성시 상기 콘택패드(530)는 식각정지막으로 작용한다.
- <70> 이어서, 상기 비트라인콘택(545) 및 상기 비트라인패턴(555)을 포함한 제2층간 절연막(550)상에 비트라인용 도전물질, 예를 들어 텅스텐막을 증착한 다음, 오버(over) CMP 또는 에치백하여 비트라인용 도전물질(562)이 비트라인패턴(555)의 일부분만 채워지도록 한다. 이때, 비트라인용 도전물질(562)은 상기 비트라인패턴(555)내에서 상기 질화막(552)보다 아래부분에 채워지도록 한다. 즉, 상기 비트라인패턴(555)에 채워진 비트라인용 도전물질(562)의 두께는 상기 하부산화막(551)의 두께보다 얇게 되도록 형성한다.
- <71> 다음, 상기 비트라인패턴(555)을 포함한 제2층간 절연막(550)상에 비트라인용 제1 캡핑물질, 예를 들어 질화막을 증착한 다음 CMP 또는 에치백하여 상기 비트라인패턴(555)의 비트라인용 도전물질(562)상에 질화막(565)을 채워준다.
- <72> 도 8c, 도 9c 및 도 10c를 참조하면, 상기 제2층간 절연막(550)중 상부산화막(553)을 건식 또는 습식식각하는데, 상기 질화막(552)을 식각 정지막으로 이용하여 상부 산화막(553)을 안정적으로 제거할 수 있다.

- <73> 도 8d, 도 9d 및 도 10d를 참조하면, 기판전면에 상기 하부산화막(551)과 건식 및 습식식각차를 갖는 물질, 예를 들어 질화막을 비트라인용 제2캡핑물질로서 증착한 다음 식각하여 상기 질화막(565)의 측벽에 스페이서(567)를 형성한다. 이때, 상기 비트라인용 제2캡핑물질인 질화막의 식각시 상기 질화막(552)도 함께 식각되어 하부 산화막(551)이 노출되어진다.
- <74> 이로써, 비트라인 도전물질(562)상에 형성된 기둥형태의 제1캡핑물질(565)과 상기 제1캡핑물질(565)의 측벽에 형성된 스페이서형태의 제2캡핑물질(567)로 이루어진 비트라인용 캡핑층(569)이 형성된다. 그러므로, 상기 비트라인패턴(555)내에 형성된 도전물질(562)과 상기 도전물질(562) 및 제2층간 절연막(540)상에 형성된 스퍼트형태의 캡핑층(569)을 구비한 비트라인(560)이 형성되어진다.
- <75> 이때, 상기 스페이서형태의 제2캡핑물질(567)은 기둥형태의 제1캡핑물질(565)의 측벽일부분, 예를 들어 제1캡핑물질(565)의 1/2두께만큼만 둘러싸도록 형성하는데, 이는 절연특성 및 공장마진확보와 함께 기생캐패시턴스를 줄여주기 위함이다.
- <76> 도면상에는 도시되지 않았으나, 이후 제3층간 절연막을 증착한 다음 제3층간 절연막과 하부 산화막(551)을 식각하여 스토리지 노드콘택을 형성하고, 상기 스토리지 노드콘택에 스토리지 노드용 콘택플러그를 형성한 다음 상기 콘택플러그에 전기적으로 연결되는 캐패시터의 스토리지 노드를 형성한다.
- <77> 본 발명의 실시예에서는 비트라인용 도전물질만을 증착하여 비트라인을 형성하였으나, TiN과 같은 배리어 금속막을 증착한 다음 비트라인용 도전물질을 증착하여 비트라인을 형성할 수도 있다.

【발명의 효과】

<78> 상기한 바와같은 본 발명에 따르면, 비트라인의 캡핑층을 스퍼트형태로 형성하여 줌으로써, 스토리지 노드콘택형성시 공정마진을 충분히 확보할 수 있으며, 콘택오픈영역을 증가시켜 콘택저항을 감소시켜 줄 수 있다, 또한, 상기 비트라인과 비트라인사이 그리고 비트라인과 스토리지 노드콘택사이에 유전율이 상대적으로 질화막보다 낮은 산화막이 존재하므로 기생캐패시턴스를 감소시킬 수 있다.

<79> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판상에 형성되고, 비트라인 콘택과 홈 형태의 비트라인패턴을 구비한 절연막과;

상기 비트라인 콘택과 상기 비트라인패턴내의 일부분에 형성되고, 상기 절연막에 의해 둘러싸여진 비트라인과;

상기 절연막보다 돌출되도록 상기 비트라인패턴내의 비트라인과 상기 절연막상에 형성되고, 돌출된 부분이 상기 비트라인의 폭보다 넓은 비트라인 캡핑층을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 2】

제1항에 있어서, 상기 비트라인 캡핑층은

상기 비트라인패턴내의 상기 비트라인상에 상기 절연막보다 돌출되도록 형성된 기둥형태의 제1캡핑물질과;

상기 절연막상의 상기 제1캡핑물질의 돌출된 부분에 측벽 스페이서형태로 형성되는 제2캡핑물질로 이루어지는 것을 특징으로 하는 반도체 장치.

【청구항 3】

제2항에 있어서, 상기 비트라인 캡핑층의 제1캡핑물질의 돌출된 부분은 상기 제1캡핑물질의 1/2정도의 두께만큼 돌출되는 것을 특징으로 하는 반도체 장치.

【청구항 4】

제1항에 있어서, 상기 비트라인 캡핑층은 상기 절연막과 습식 및 건식식각차를 갖는 물질로 이루어지는 것을 특징으로 하는 반도체 장치.

【청구항 5】

제4항에 있어서, 상기 비트라인 캡핑층은 질화막계열의 막으로 이루어지고, 상기 절연막은 산화막계열의 막으로 이루어지는 것을 특징으로 하는 반도체 장치.

【청구항 6】

제1항에 있어서, 상기 비트라인 캡핑층은 스퍼트형태의 구조를 갖는 것을 특징으로 하는 반도체 장치.

【청구항 7】

반도체 기판상에 절연막을 형성하는 단계와;

상기 절연막을 식각하여 비트라인콘택과 홈형태의 비트라인패턴을 형성하는 단계와;

상기 비트라인콘택과 상기 비트라인패턴내의 일부분에 형성된 비트라인을 형성하는 단계와;

상기 절연막보다 돌출되고, 돌출된 부분이 상기 비트라인의 폭보다 넓은 비트라인 캡핑층을 상기 비트라인패턴내의 비트라인과 상기 절연막상에 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 8】

제7항에 있어서, 상기 비트라인 캡핑층을 형성하는 방법은

기관전면에 제1캡핑물질을 증착하는 단계와;

상기 제1캡핑물질을 식각하여 상기 비트라인상부의 비트라인패턴내에 채워주는 단계와;

상기 제1캡핑물질의 일부분이 돌출되도록 상기 절연막을 일정두께만큼 식각하는 단계와;

기관전면에 상기 절연막과는 식각차를 갖는 제2캡핑물질을 증착하는 단계와;

상기 제2캡핑물질을 식각하여 제1캡핑물질의 돌출된 부분의 측벽에만 남겨두는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 9】

제8항에 있어서, 상기 비트라인 캡핑층의 제1캡핑물질은 상기 제1캡핑물질의 1/2정도의 두께만큼 돌출되도록 식각하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 10】

제8항에 있어서, 상기 제1 및 제2캡핑물질은 상기 절연막과 습식 및 건식식각차를 갖는 물질로 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 11】

제10항에 있어서, 상기 제1 및 제2캡핑물질은 질화막계열의 막으로 이루어지고, 상기 절연막은 산화막계열의 막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 12】

제8항에 있어서, 상기 절연막은 습식 또 건식식각공정을 통해 식각하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 13】

제7항에 있어서, 상기 비트라인 캡핑층은

상기 비트라인패턴내의 상기 비트라인상에 상기 절연막보다 돌출되도록 형성된 기둥형태의 제1캡핑물질과; 상기 절연막상의 상기 제1캡핑물질의 돌출된 부분에 측벽 스페이서형태로 형성되는 제2캡핑물질로 이루어져서, 스텔드형태의 구조를 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 14】

제7항에 있어서, 상기 비트라인패턴내에 비트라인을 형성하는 방법은

상기 비트라인 패턴이 채워지도록 기판전면에 비트라인용 도전물질을 증착하는 단계와;

상기 비트라인용 도전물질을 식각하여 상기 비트라인패턴의 일정깊이까지 채워지는 비트라인을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

【청구항 15】

제14항에 있어서, 상기 비트라인은 상기 비트라인용 도전물질을 CMP 공정, 에치백 공정 또는 CMP공정 및 에치백공정을 이용하여 오버에칭하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 16】

제7항에 있어서, 상기 비트라인콘택과 비트라인패턴은 듀얼다마신공정을 이용하여 비트라인콘택을 형성한 다음 비트라인패턴을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

【청구항 17】

제7항에 있어서, 상기 비트라인콘택과 비트라인패턴은 듀얼다마신공정을 이용하여 비트라인패턴을 형성한 다음 비트라인콘택을 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 18】

반도체 기판상에 형성되고, 상기 반도체 기판을 노출시키는 다수의 콘택을 구비한 제1절연막과;

각 콘택에 형성된 비트라인용 콘택패드 및 스토리지 노드용 콘택패드와;

상기 제1절연막상에 형성되고, 비트라인용 콘택패드를 노출시키는 비트라인 콘택과 홈 형태의 비트라인패턴을 구비한 제2절연막과;

상기 비트라인콘택과 상기 비트라인패턴의 일부분에 형성되고, 상기 제2절연막에 의해 둘러싸여지는 비트라인과;

상기 제2절연막보다 돌출되도록 상기 비트라인패턴과 제2절연막상에 형성되고, 돌출된 부분이 비트라인패턴의 폭보다 넓은 비트라인 캡핑층과;

기판전면에 형성된 제3층간 절연막과;

상기 스토리지노드용 콘택패드를 노출시키도록 상기 제2 및 제3절연막에 형성된 스토리지노드콘택을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 19】

반도체 기판상에 비트라인용 콘택패드와 스토리지 노드용 콘택패드를 구비하는 제1 절연막을 형성하는 단계와;

기판전면에 제2절연막을 형성하는 단계와;

상기 제2절연막을 식각하여 상기 비트라인용 콘택패드를 노출시키는 비트라인콘택과 홈형태의 비트라인패턴을 형성하는 단계와;

상기 비트라인콘택을 통해 상기 비트라인용 콘택패드와 연결되도록 상기 비트라인패턴내의 일부분에 비트라인을 형성하는 단계와;

상기 제2절연막보다 돌출되고, 돌출된 부분이 상기 비트라인패턴의 폭보다 넓은 비트라인 캡핑층을 상기 비트라인패턴내의 비트라인과 상기 절연막상에 형성하는 단계와;

기판전면에 제3절연막을 형성하는 단계와;

상기 스토리지노드용 콘택패드가 노출되도록 상기 제2 및 제3절연막을 식각하여 스토리지 노드콘택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 20】

제19항에 있어서, 상기 비트라인콘택과 비트라인패턴은 듀얼다마신공정을 이용하여 상기 비트라인용 콘택패드를 식각정지막으로 하여 제2절연막을 식각하여 비트라인콘택

을 형성한 다음 제2절연막을 식각하여 비트라인패턴을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

【청구항 21】

제19항에 있어서, 상기 비트라인콘택과 비트라인패턴은 듀얼다마신공정을 이용하여 제2절연막을 식각하여 비트라인패턴을 형성한 다음 상기 비트라인용 콘택패드를 식각정지막으로 하여 제2절연막을 식각하여 비트라인콘택을 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 22】

제19항에 있어서, 상기 비트라인 캡핑층은

상기 비트라인패턴내의 상기 비트라인상에 상기 제2절연막보다 돌출되도록 형성된 기둥형태의 제1캡핑물질과; 상기 제2절연막상의 상기 제1캡핑물질의 돌출된 부분에 측벽스페이서형태로 형성되는 제2캡핑물질로 이루어져서, 스텔드형태의 구조를 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 23】

제22항에 있어서, 상기 스토리지 노드콘택은 제2 및 제3절연막이 상기 비트라인 캡핑층의 제2캡핑물질을 식각정지막으로 하여 셀프얼라인식각되어 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 24】

제22항에 있어서, 상기 비트라인 캡핑층의 제1캡핑물질은 상기 제1캡핑물질의 두께의 1/2정도만큼 돌출되는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 25】

반도체 기판상에 비트라인용 콘택패드와 스토리지 노드용 콘택패드를 구비한 제1절연막을 형성하는 단계와;

기판전면에 제2절연막, 식각정지막 및 제3절연막을 순차 형성하는 단계와;

상기 제2 및 제3절연막과 식각정지막을 식각하여 상기 비트라인용 콘택패드를 노출시키는 비트라인콘택과 홈형태의 비트라인패턴을 형성하는 단계와;

상기 비트라인콘택을 통해 상기 비트라인용 콘택패드와 연결되도록 상기 비트라인패턴의 일부분에 비트라인을 형성하는 단계와;

상기 비트라인패턴내의 비트라인상에 제1캡핑물질을 채워주는 단계와;

상기 제1캡핑물질이 돌출되도록 상기 식각정지막을 이용하여 제3절연막을 식각하는 단계와;

기판전면에 제2캡핑물질을 증착하는 단계와;

상기 제2캡핑물질과 식각정지막을 식각하여 상기 제1캡핑물질의 돌출된 부분의 측면에만 남겨두는 단계와;

기판전면에 제4절연막을 형성하는 단계와;

상기 제3 및 제4절연막을 식각하여 상기 스토리지 노드용 콘택패드를 노출시키는 스토리지 노드콘택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 제조 방법.

【청구항 26】

제25항에 있어서, 상기 제2 및 제3절연막은 산화막계열의 막이고, 상기 식각정지막은 제2 및 제3절연막과 식각차를 갖는 물질로서 질화막계열의 막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 27】

제25항에 있어서, 상기 제2 내지 제4절연막은 산화막계열의 막이고, 상기 제1 및 제2비트라인 캡핑물질은 상기 제2 내지 제4절연막과 식각차를 갖는 물질로서 질화막계열의 막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 28】

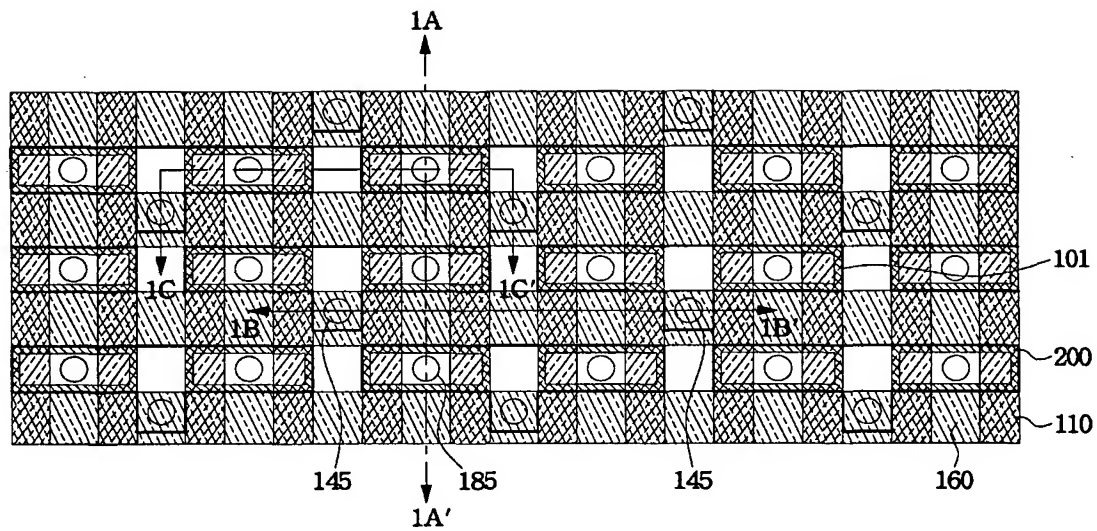
제25항에 있어서, 상기 제1캡핑물질의 돌출된 부분은 상기 제1캡핑물질의 두께의 1/2정도가 되는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 29】

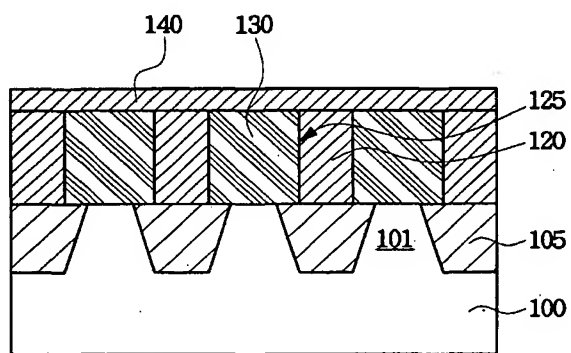
제25항에 있어서, 상기 비트라인 노드콘택은 상기 비트라인 캡핑층을 식각정지막으로 하여 제2 내지 제4절연막을 셀프얼라인식각하여 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

【도면】

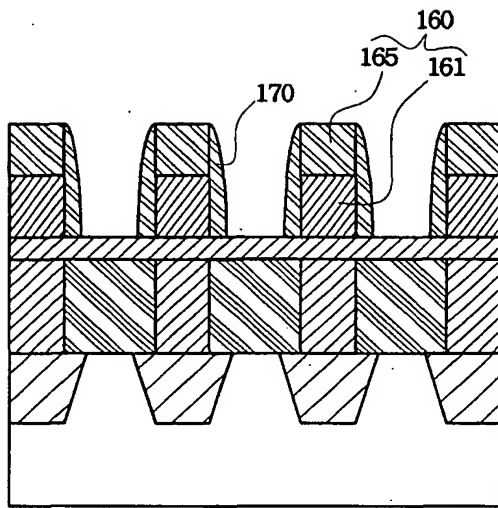
【도 1】



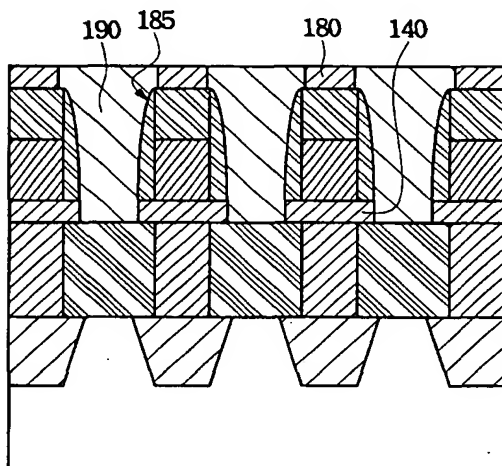
【도 2a】



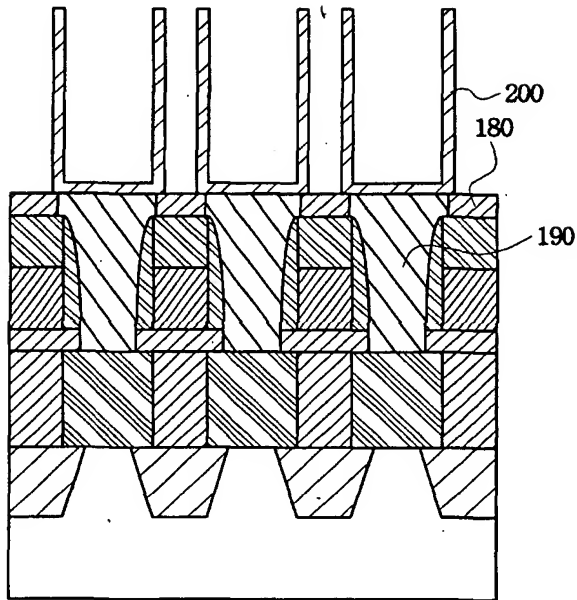
【도 2b】



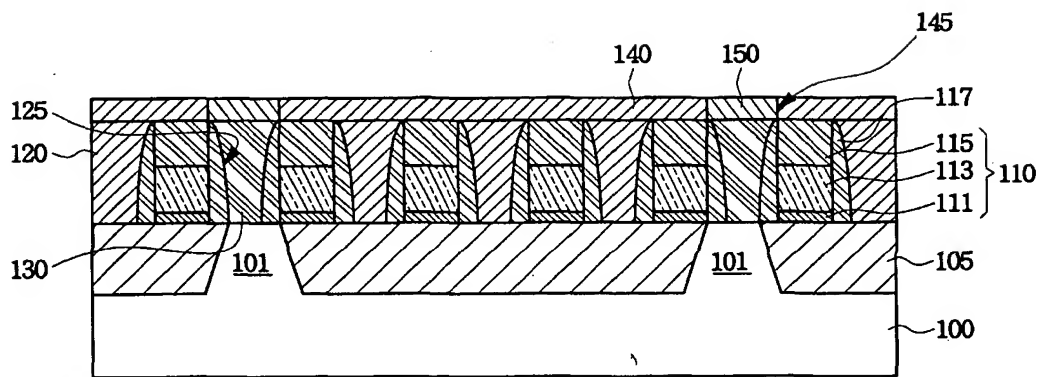
【도 2c】



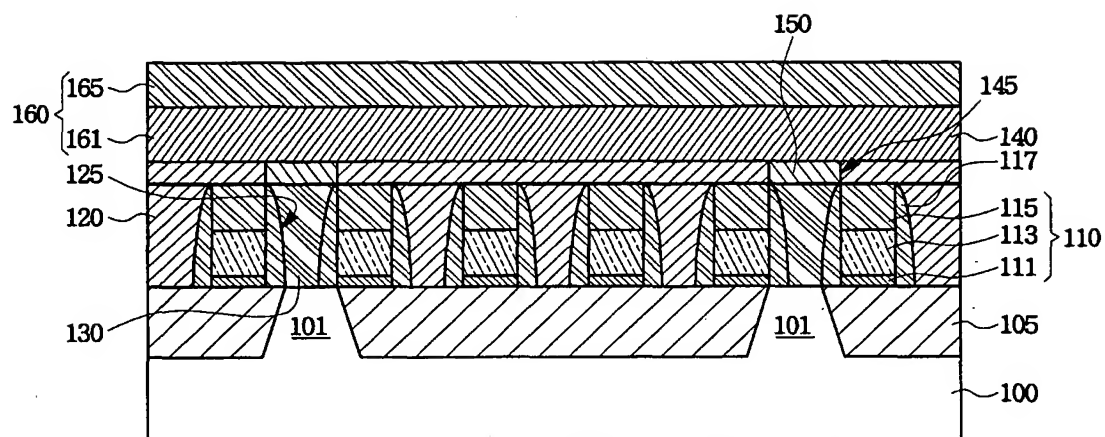
【도 2d】



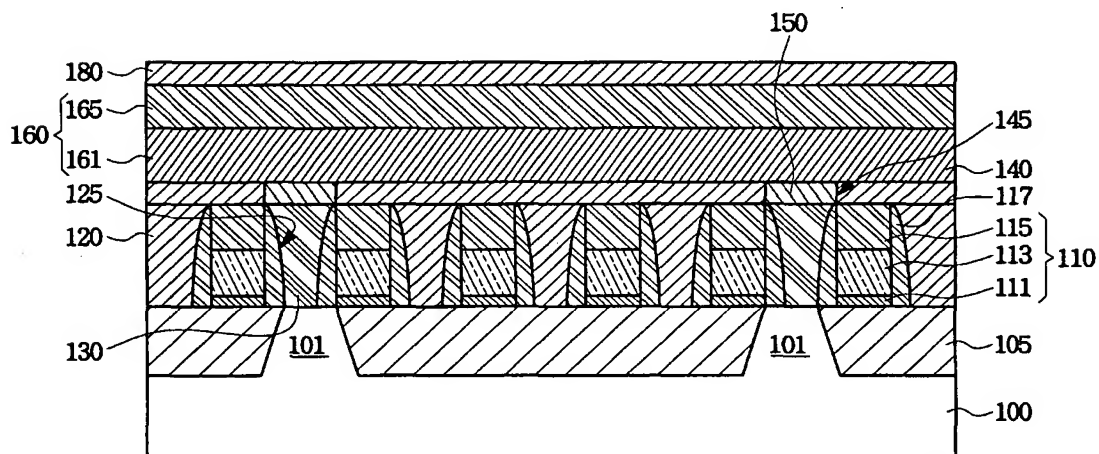
【도 3a】



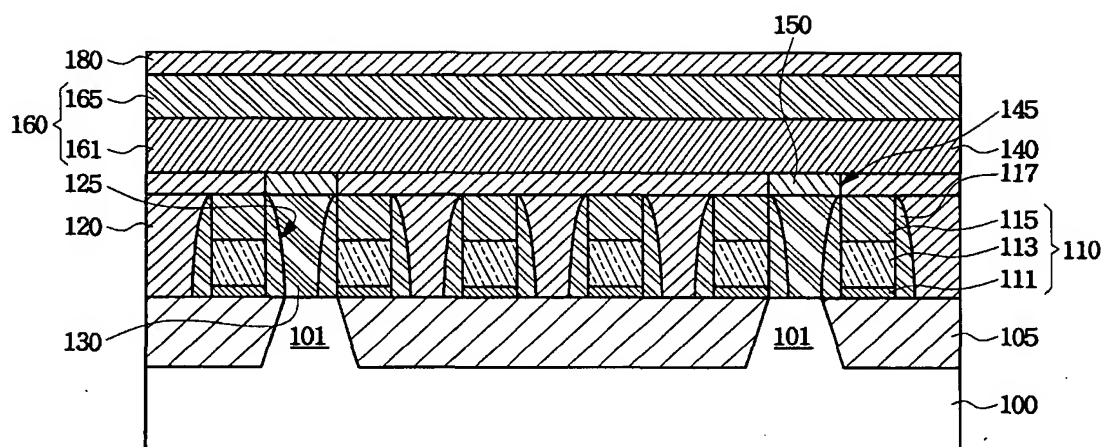
【도 3b】



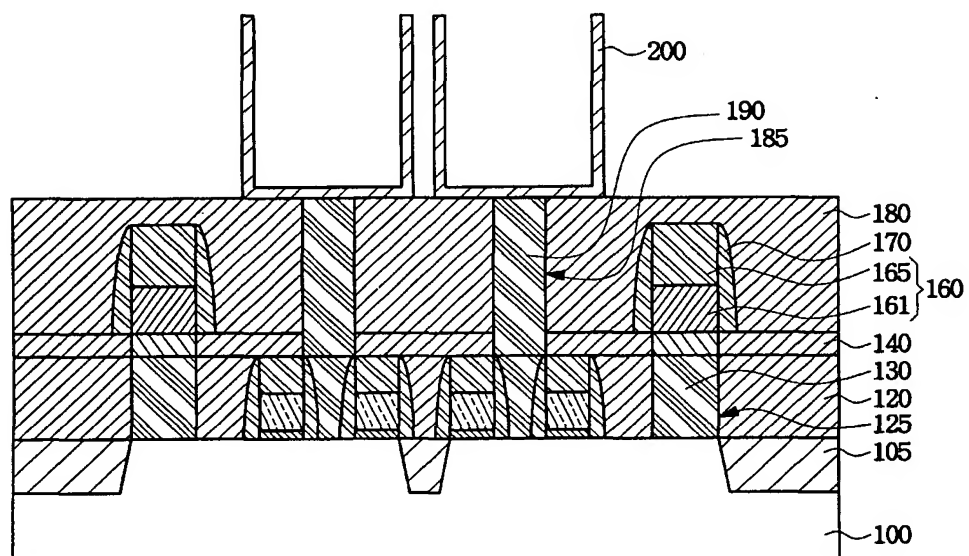
【도 3c】



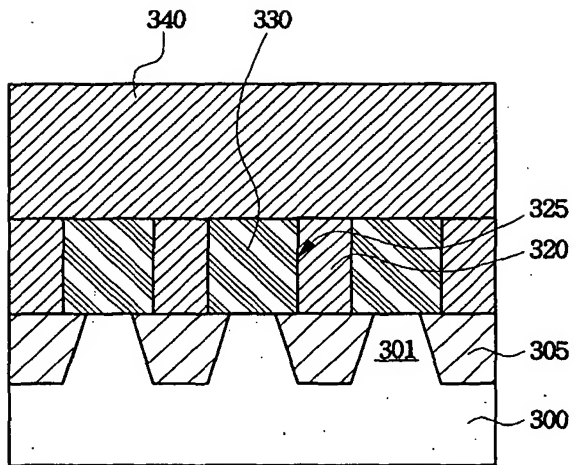
【도 3d】



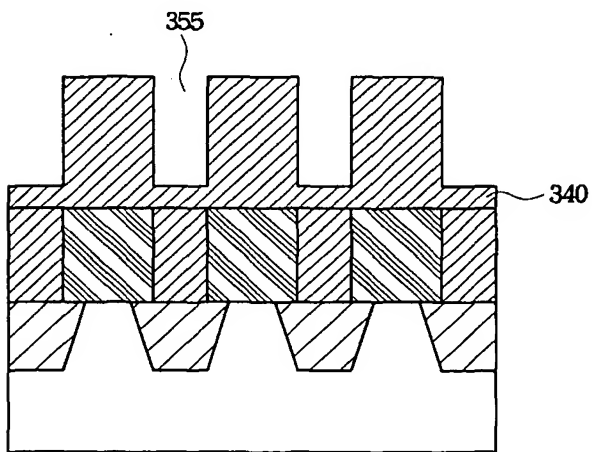
【도 4】



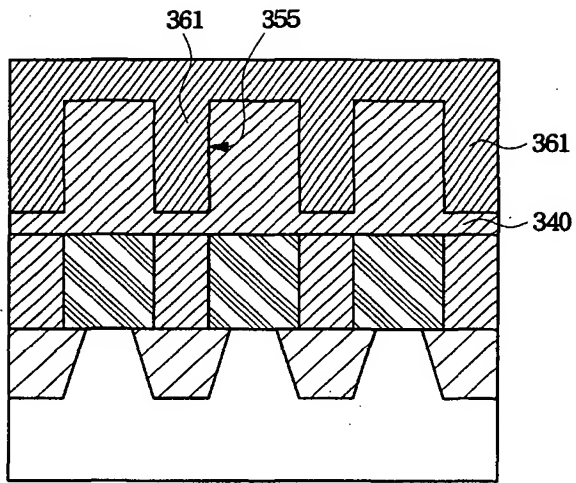
【도 5a】



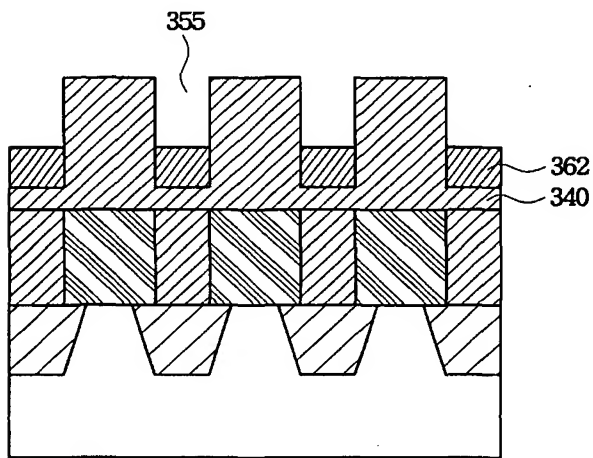
【도 5b】



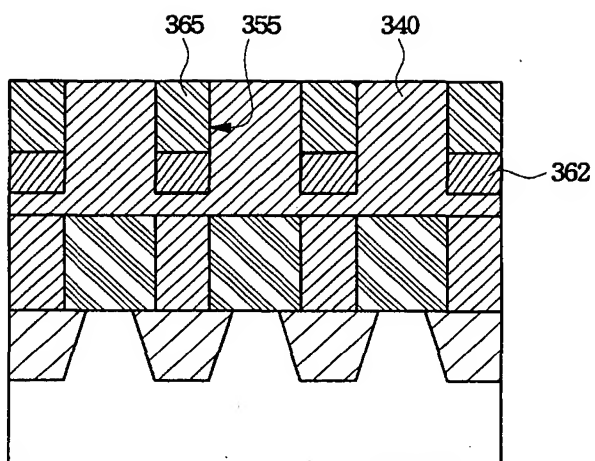
【도 5c】



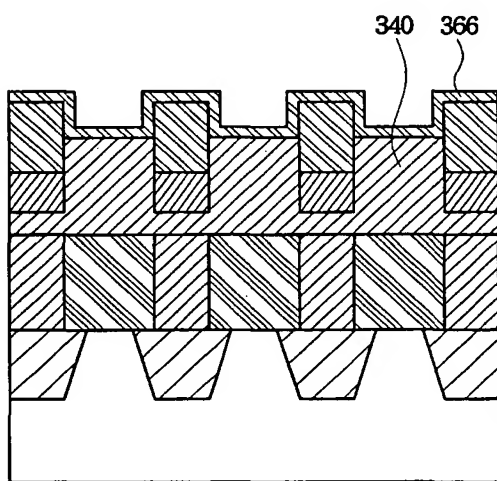
【도 5d】



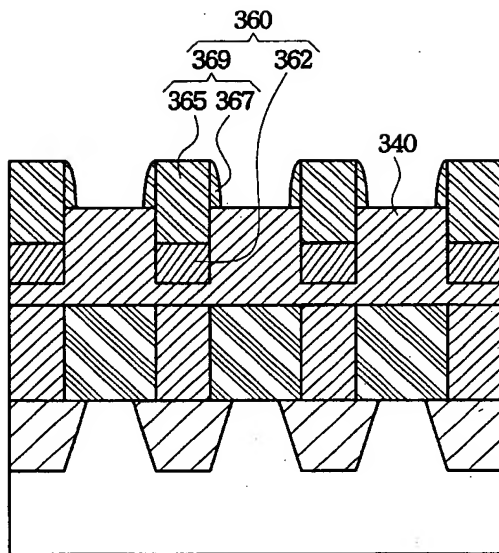
【도 5e】



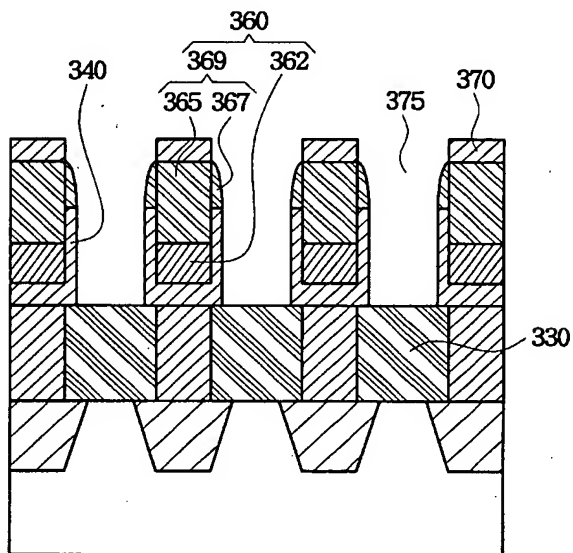
【도 5f】



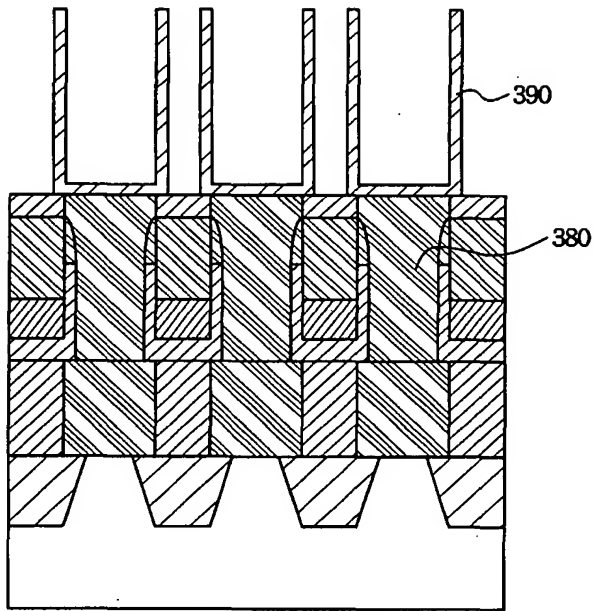
【도 5g】



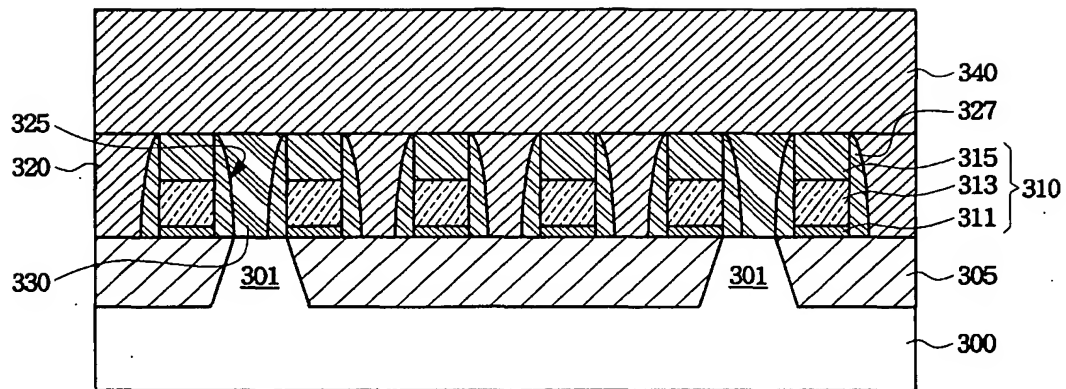
【도 5h】



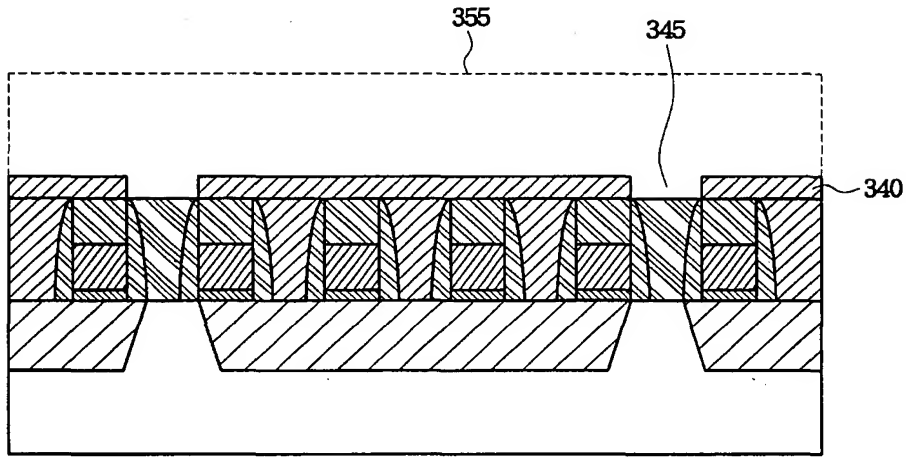
【도 5i】



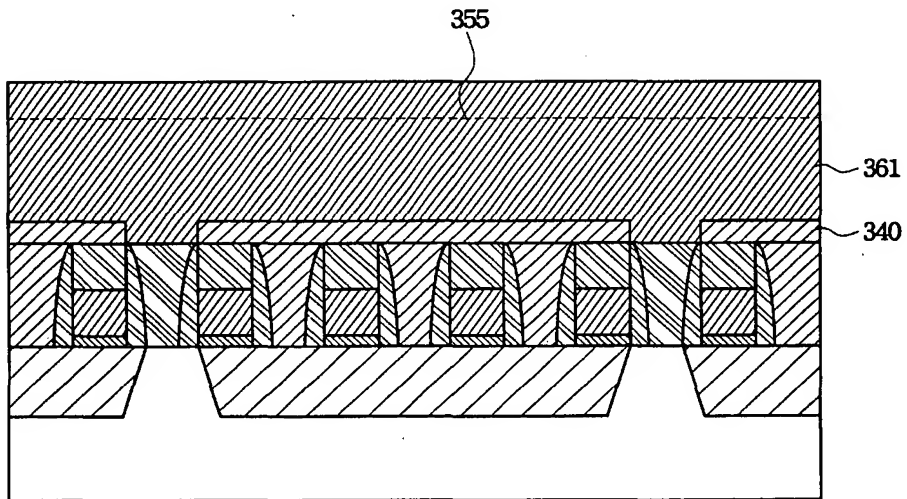
【도 6a】



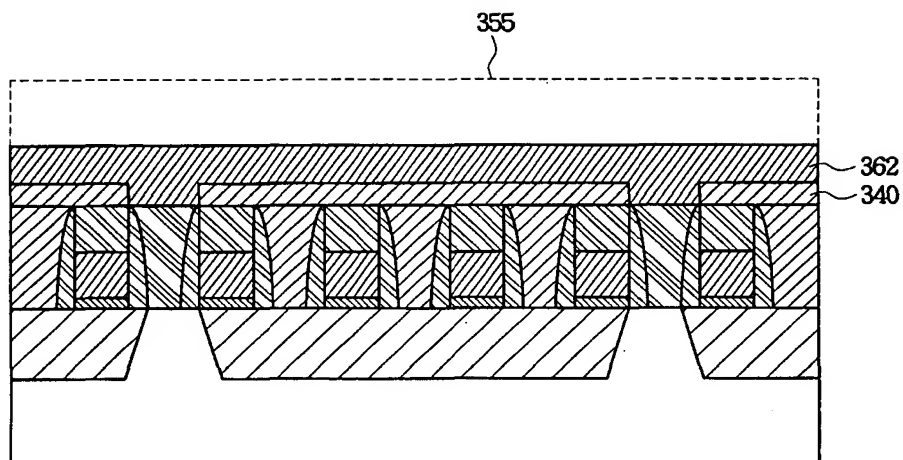
【도 6b】



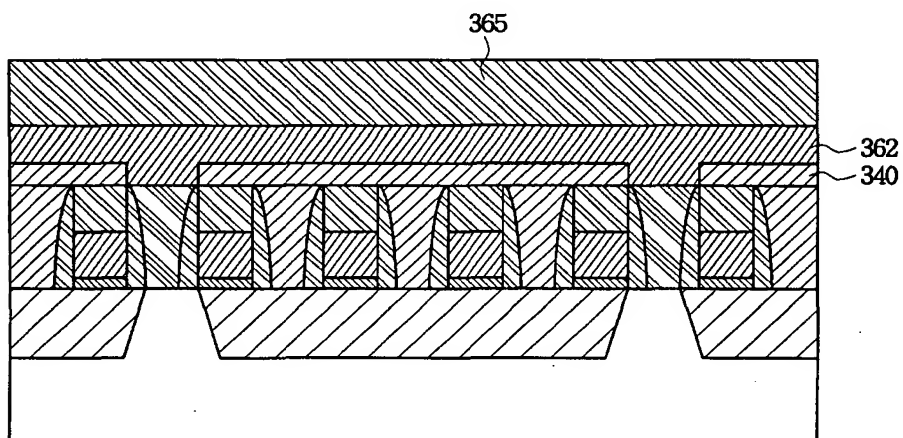
【도 6c】



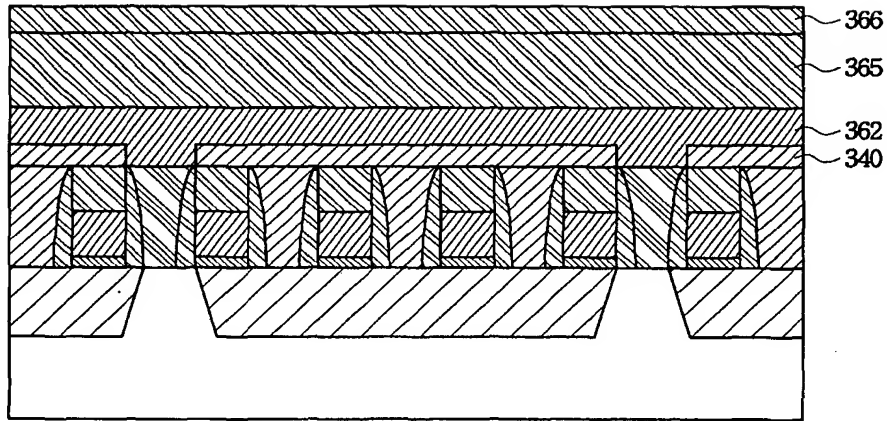
【도 6d】



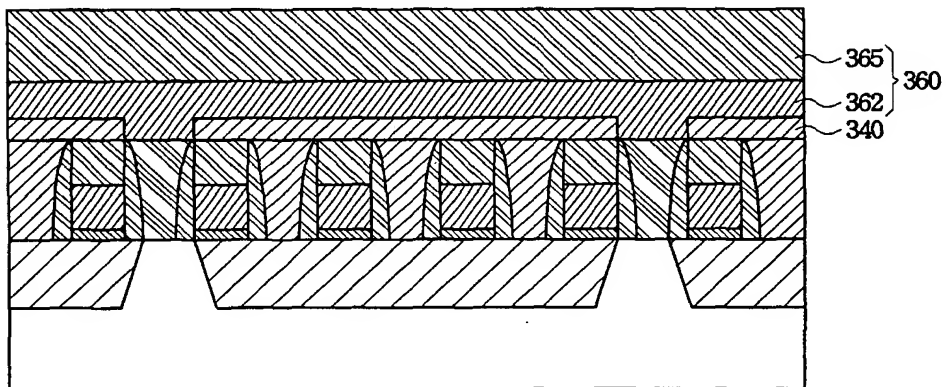
【도 6e】



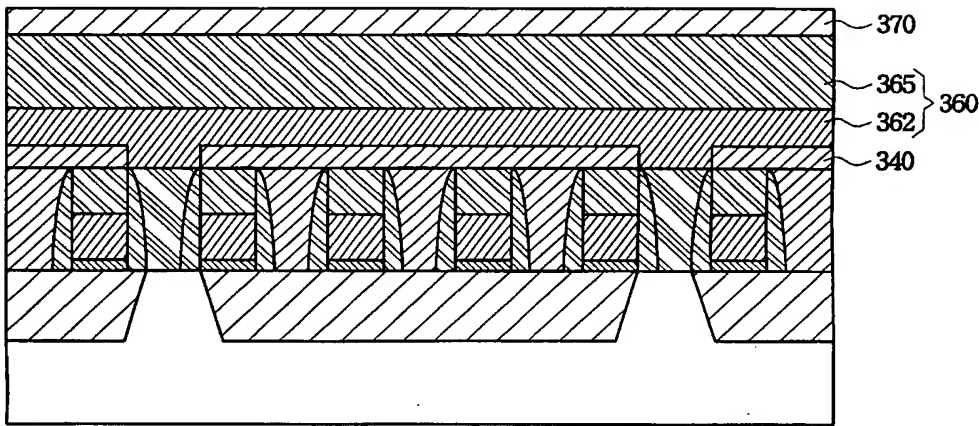
【도 6f】



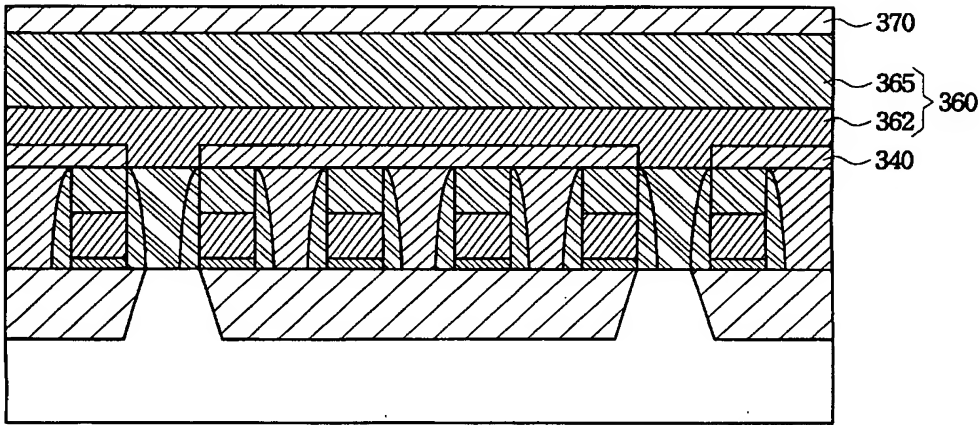
【도 6g】



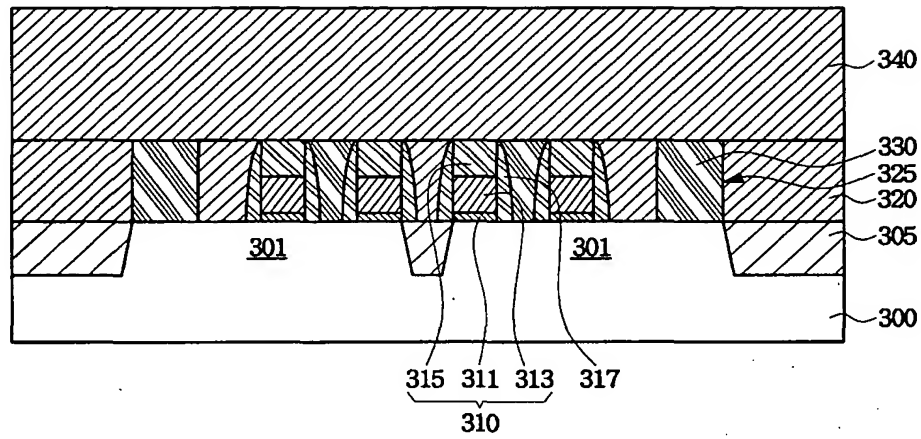
【도 6h】



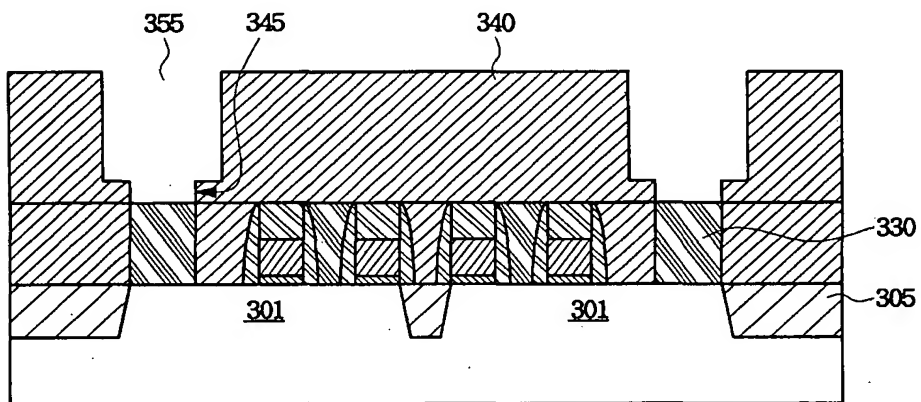
【도 6i】



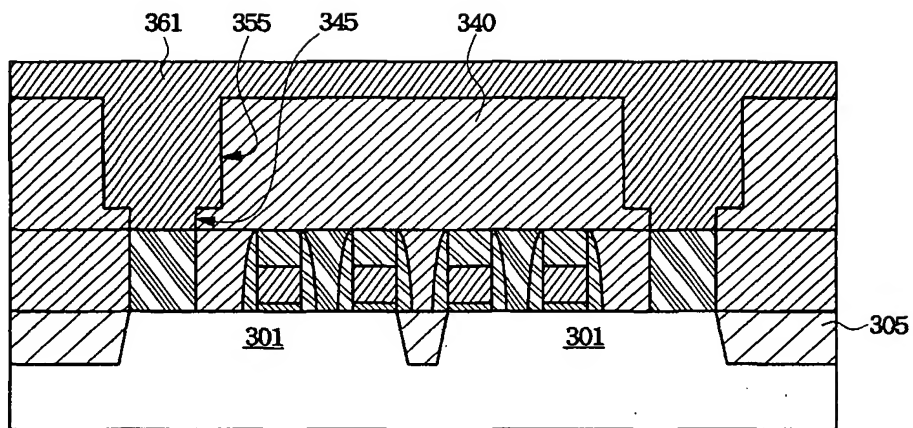
【도 7a】



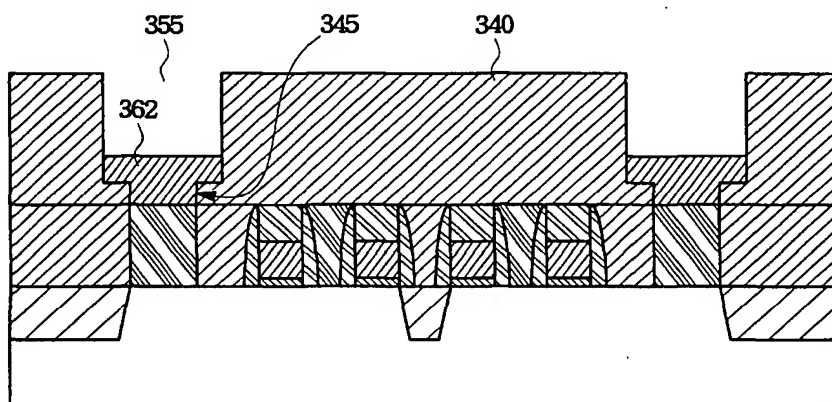
【도 7b】



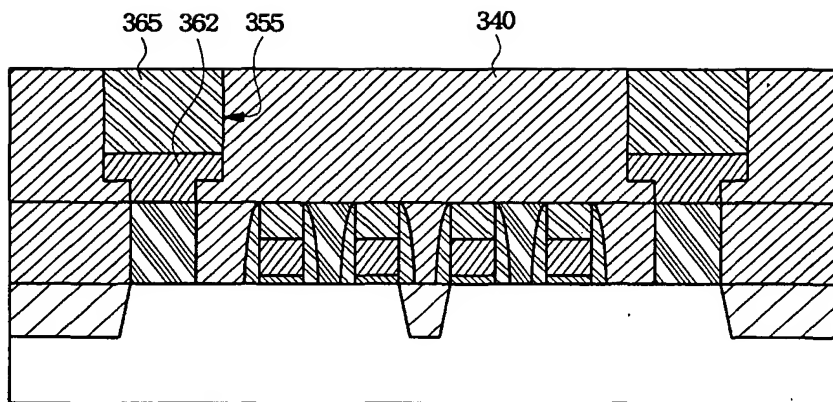
【도 7c】



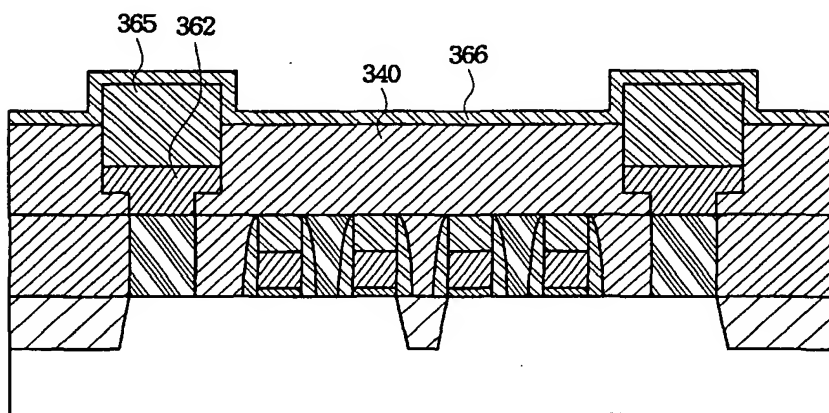
【도 7d】



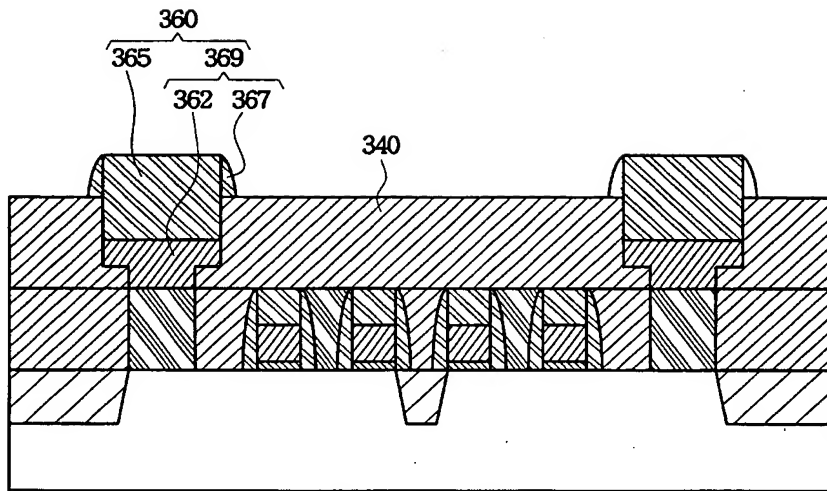
【도 7e】



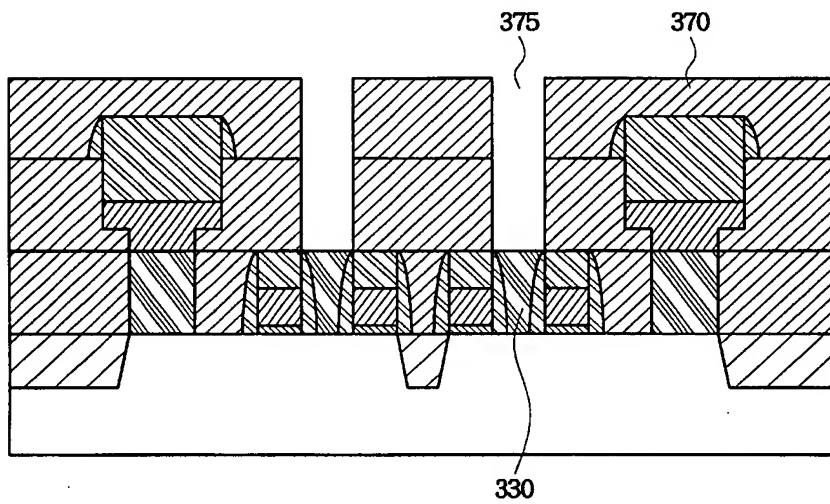
【도 7f】



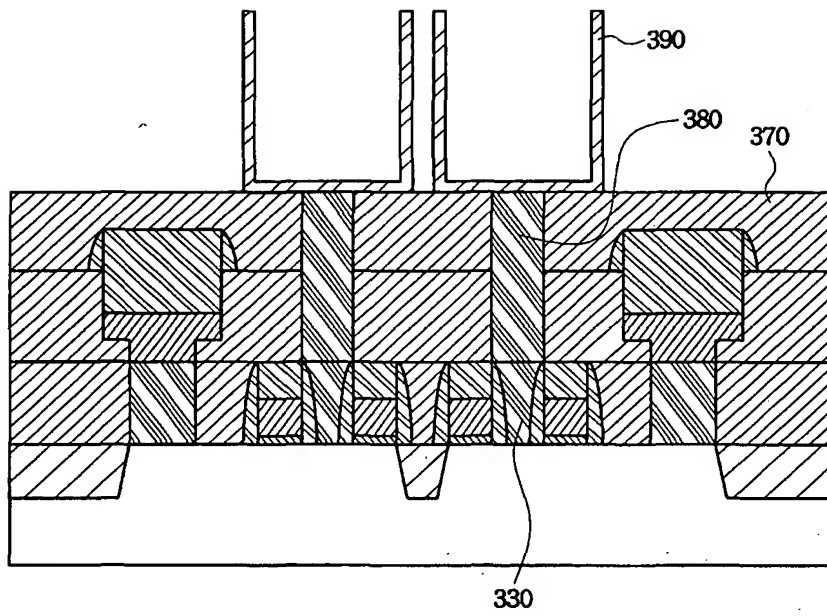
【도 7g】



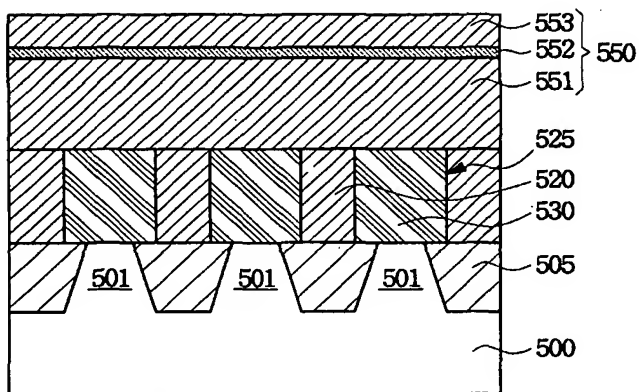
【도 7h】



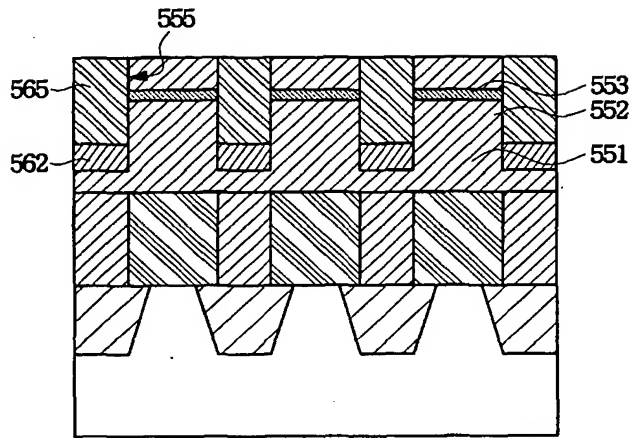
【도 7i】



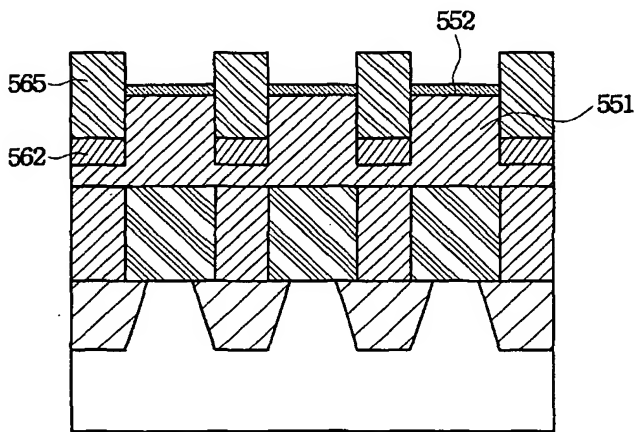
【도 8a】



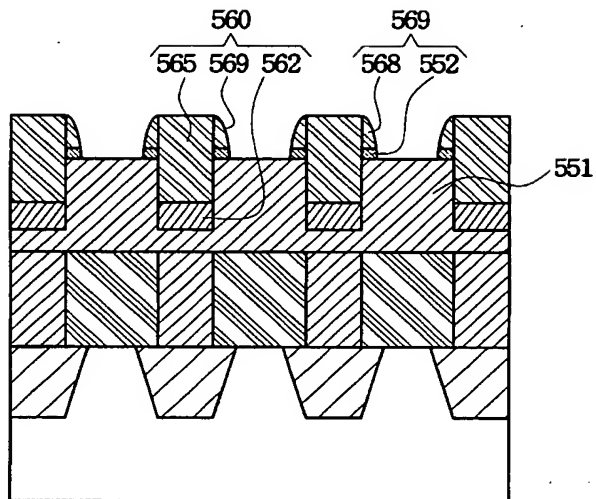
【도 8b】



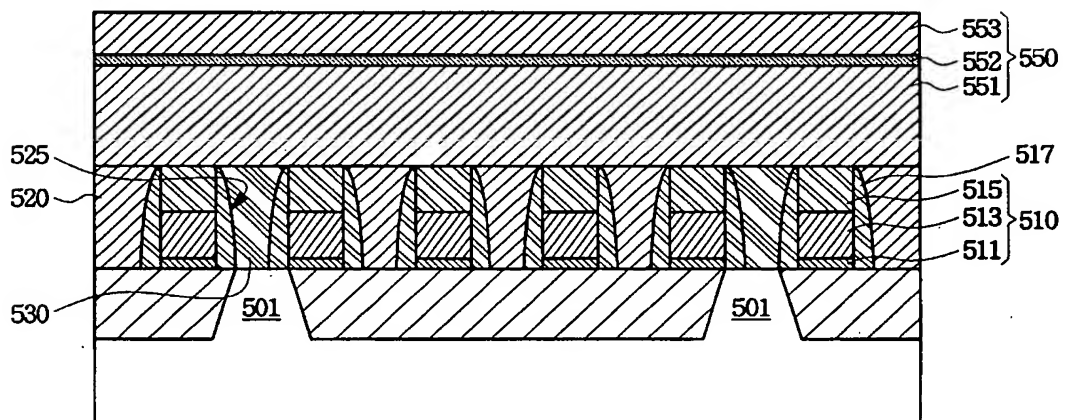
【도 8c】



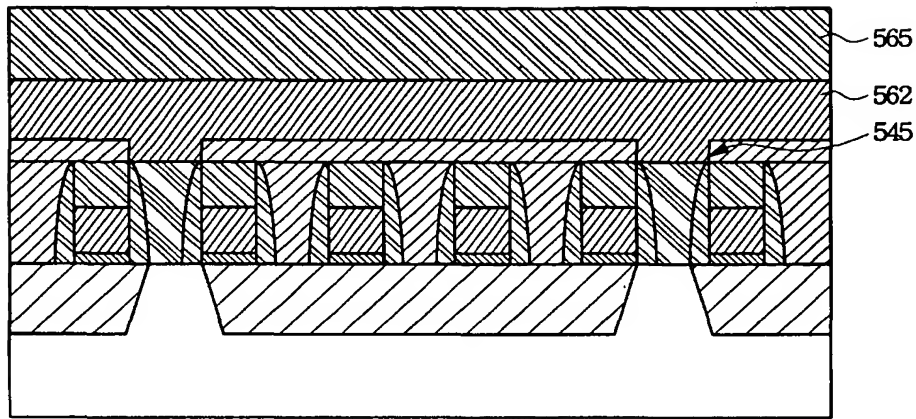
【도 8d】



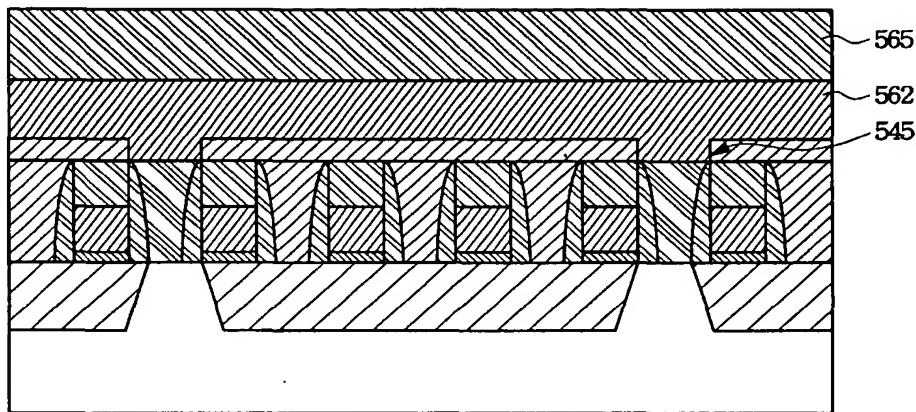
【도 9a】



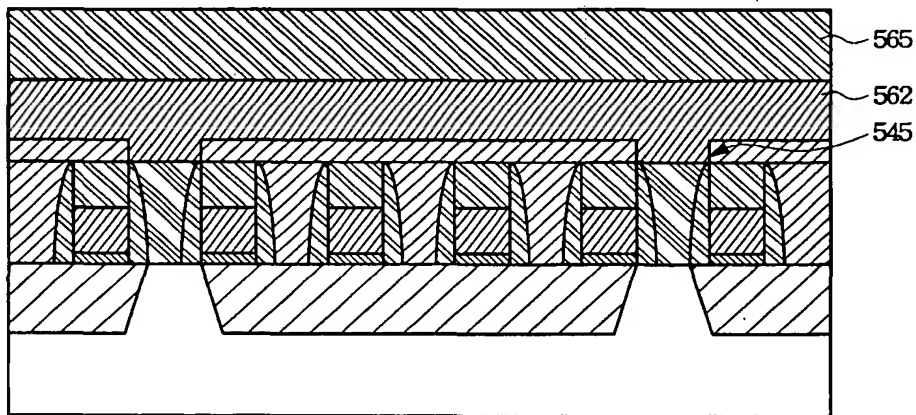
【도 9b】



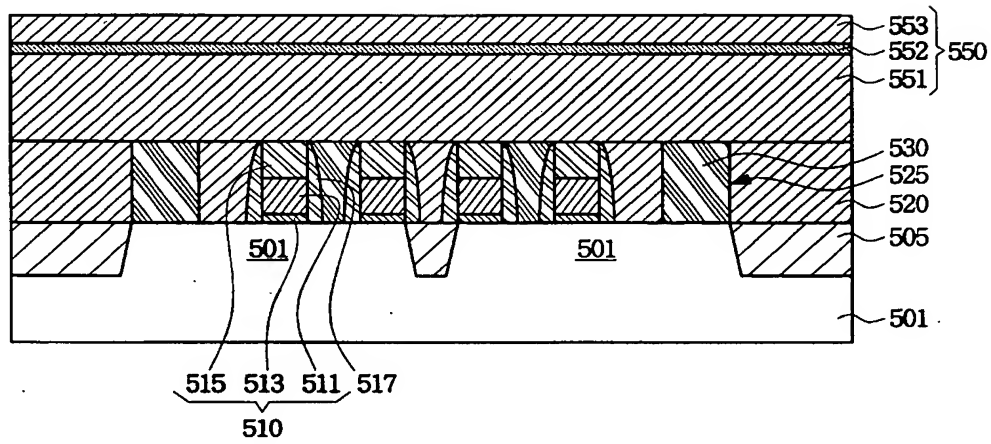
【도 9c】



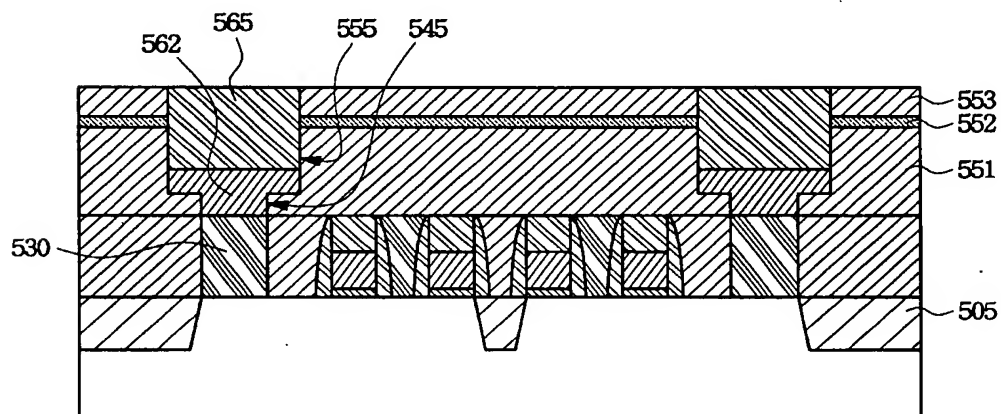
【도 9d】



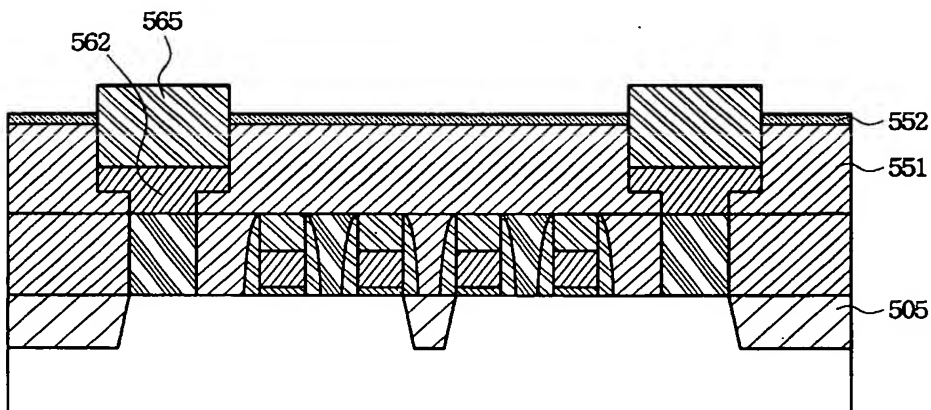
【도 10a】



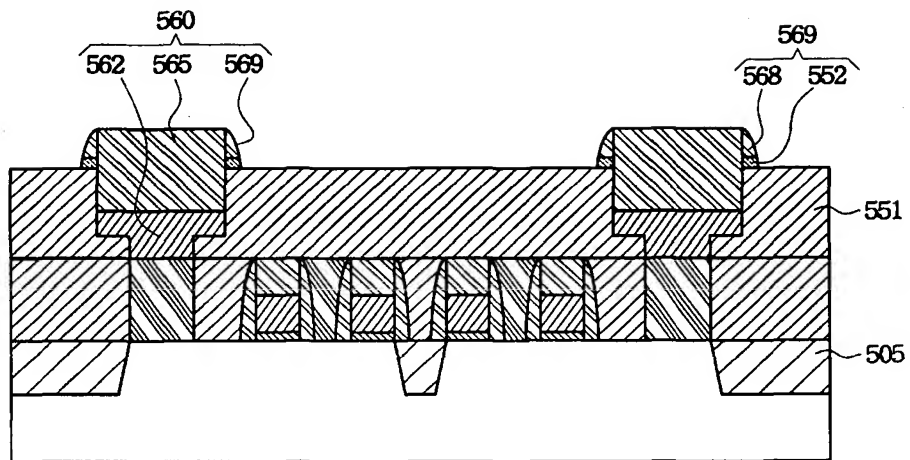
【도 10b】



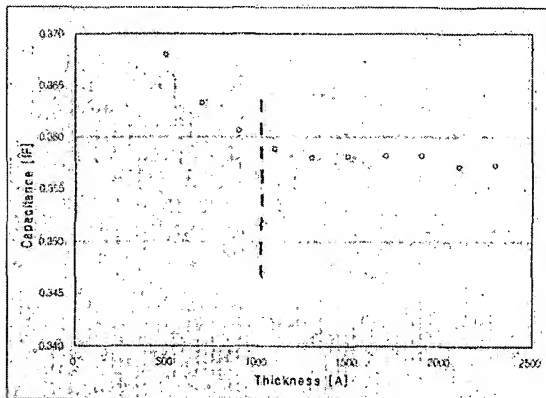
【도 10c】



【도 10d】



【도 11a】



【도 11b】

